

**SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE AND ASSEMBLING METHOD FOR SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE**

**Publication number:** JP2000164620

**Publication date:** 2000-06-16

**Inventor:** TOKUNO SEIJI; MIZUNO HIROSHI; ISHII HIDEO

**Applicant:** MATSUSHITA ELECTRIC IND CO LTD

**Classification:**

**- international:** *H01L21/60; G01R31/28; H01L21/66; H01L21/66; H01L21/02; G01R31/28; H01L21/66; H01L21/66; (IPC1-7): H01L21/60; G01R31/28; H01L21/60; H01L21/66*

**- european:**

**Application number:** JP19980337184 19981127

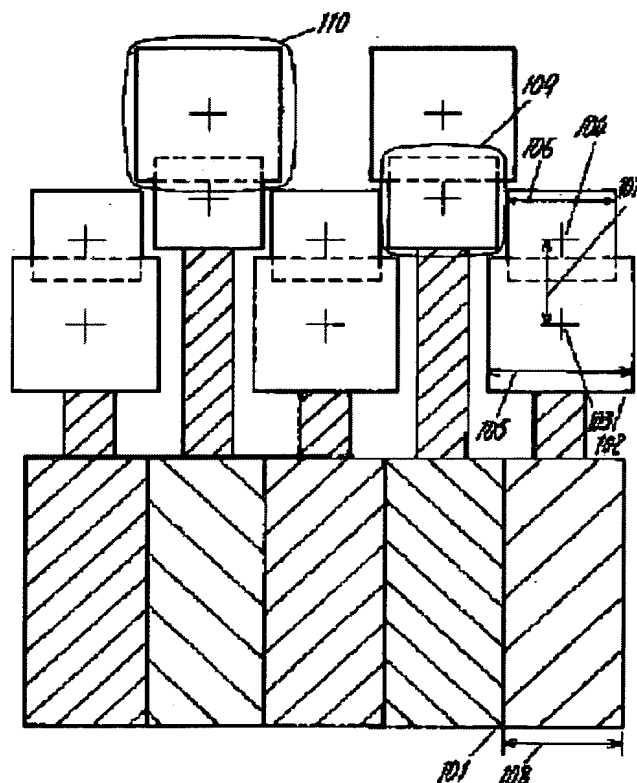
**Priority number(s):** JP19980337184 19981127

[Report a data error here](#)

**Abstract of JP2000164620**

**PROBLEM TO BE SOLVED:** To provide a method which can surely inspect and assemble a semiconductor integrated circuit device, while optimizing the area of an electrode pad, in a semiconductor integrated circuit device in which making into microstructure is made to progress.

**SOLUTION:** Electrode regions 110 for bonding and bonding regions 109 for inspection are so arranged that the interval between a center 103 of the region 110 and a center 104 of the region 109 becomes greater than or equal to an interval 107. In a semiconductor integrated circuit device having formed electrode pads 102, inspection and bonding are easily and surely enabled by performing inspection and assembling through the use of the centers 103 and 104 of the respective regions.



Data supplied from the **esp@cenet** database - Worldwide

THIS PAGE BLANK (USPTO)

特開 2000-164620

(P2000-164620A)

(43) 公開日 平成12年6月16日(2000.6.16)

(51)Int.Cl.	識別記号	F I	テームコード(参考)
H01L 21/60	321	H01L 21/92 604 T	2G032
G01R 31/28		21/60 321 Y	4M106
H01L 21/66		21/66 E	5F044
		G01R 31/28 U	

審査請求 未請求 請求項の数 2

OL

(全 5 頁)

(21) 出願番号 特願平10-337184

(22) 出願日 平成10年11月27日(1998.11.27)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 得能 誠司

大阪府門真市大字門真1006番地

松下電器

産業株式会社内

(72) 発明者 水野 洋

大阪府門真市大字門真1006番地

松下電器

産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

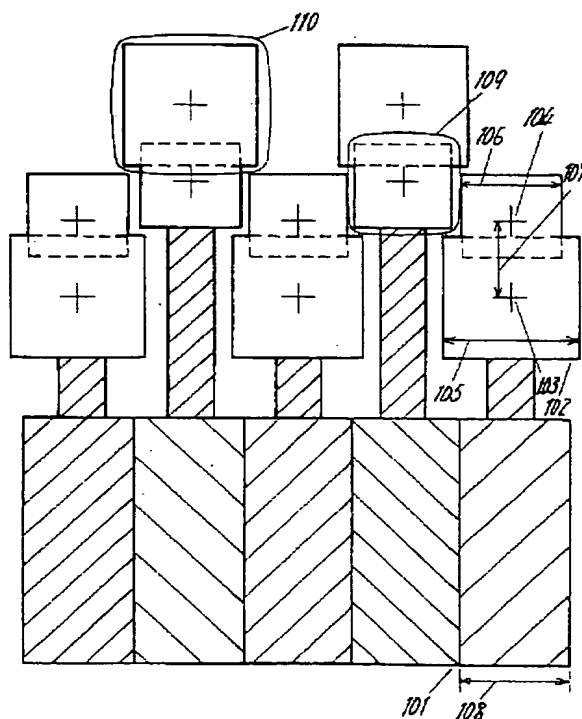
最終頁に続く

(54)【発明の名称】 半導体集積回路装置及び半導体集積回路装置の組立方法

(57)【要約】

【課題】 微細化が進む半導体集積回路装置において、電極パッドの面積の最適化を図りながら、半導体集積回路装置の検査及び組立を確実にこなえる方法を提供する。

【解決手段】 ボンディング用電極領域110と、検査用ボンディング領域109をボンディング用電極領域の中心103と、検査用ボンディング領域の中心104の間隔が間隔107以上あるように配置したことにより、生成された電極パッド102を有し、検査と組立を、それぞれの領域の中心103と104を用いて行なうことにより、検査とボンディングを容易に確実にこなえることを特徴とした半導体集積回路装置。



## 【特許請求の範囲】

【請求項 1】 各外部端子に対して、ボンディング用の第 1 の矩形形状の電極領域と、

テスト用の第 2 の矩形形状の電極領域とを接して配置することにより形成される電極パッドを備えていることを特徴とする半導体集積回路装置。

【請求項 2】 請求項 1 記載の半導体集積回路装置に対して、

前記の第 2 の電極パッドに対してテストプローブピンを接触させて当該半導体集積回路装置の電気特性検査を行ない、

前記の第 1 の電極パッドに対して外部信号線のボンディングを行なうことを特徴とする半導体集積回路装置の検査組立方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、半導体集積回路装置の高密度化、高集積化の実現に関し、特に、高集積化された半導体集積回路装置の電気特性検査とパッケージへのボンディングを確実に実現し、かつ半導体集積回路装置の面積をできる限り小さくするためのパッド配置と、前記パッドを用いた半導体集積回路装置の電気的特性検査及び組立を行なう方法を提供するものである。

## 【0002】

【従来の技術】近年の半導体集積回路装置の微細化技術の向上に伴って、半導体集積回路装置の内部と、外部との電気信号のやりとりを行なうための、信号の方向制御や、保護回路が搭載されているパッドセルの面積も大幅に削減され、このパッドセルのピッチも小さなものになってきている。

【0003】半導体製造技術における微細化技術は、急激なスピードで向上しているが、電極パッドにピンを当て電気特性を評価する検査技術や、電極パッドを介して半導体集積回路とパッケージとの接続を実現するボンディング技術においては、半導体製造技術におけるほどの微細化を実現することが困難になって来ている。

【0004】実際に、電気特性検査においては、検査装置における、検査用ピンの太さや、動きのずれの精度より決定される領域を電極パッドが確保する必要があるし、パッケージへのボンディングにおいても、リード線の幅などによって定義される領域を電極パッドが確保する必要がある。

【0005】これらの課題を回避する方法の 1 つとして、特開平 5-206383 号公報では、電極パッドとは別に、電気特性検査用のパッドを設け、これを半導体ウエハー上で半導体集積回路の領域外のダイシングライン上に配置することで、電気特性検査用パッドの検査を実行するために必要となる面積を確保し、IC の検査、測定の容易化を図っている。

## 【0006】

【発明が解決しようとする課題】しかしながら、特開平 5-206383 号公報では、電気特性の検査に関しては、確実にこなうことを可能としているが、従来技術で述べているように、ボンディングのためにも電極パッドに一定の幅を持たせる必要があり、この問題を解決することができない。

【0007】また、現在では半導体ウエハーの加工技術の向上にともない、ダイシングラインも微細化が進み、ダイシングラインの幅よりも電気特性検査用パッドの幅の方が大きくなることがあり、特開平 5-206383 号公報の手法を用いても、IC の検査の容易化と半導体集積回路の面積の最適化を両立することが困難になっている。

【0008】また、検査、及びボンディングを行なうために必要最低限の大きさを持った電極パッドを用いて、電気的特性検査を行ない、この後同一の電極パッドを用いてボンディングを行なおうとした時に、ボンディングに失敗することがある。これは、特性検査をする時に当てた検査ツールのプローブピンが電極パッドにプローブ痕を残すことが大きな原因となっている。

【0009】電極パッドの微細化が進むにつれて、電極パッドの大きさに対するプローブ痕の占める割合が大きくなり、ボンディングの際にこのプローブ痕が、圧着や、合金形成の妨げとなるからである。

## 【0010】

【課題を解決するための手段】上記の課題を解決し、確実な電気的特性の検査とボンディングを実現するために、電極パッドの面積を拡大して検査後のプローブ痕の面積割合を削減し、ボンディングを可能とするか、電極パッドを性能検査用の部分と、ボンディング用の部分にわけて作成しボンディング用のパッドの部分にはプローブ痕が残らないようにする方法が考えられる。

【0011】本特許では、確実な検査とボンディングを実現し、さらに面積の最適化を図るために、電極パッドは、プローブする場所とボンディングする場所を変更することとし、さらに、半導体集積回路装置の面積の最適化を図るために、検査のルール、ボンディングのルール、パッドピッチといった情報に基づいて電極パッド配置を決定する。

## 【0012】

【発明の実施の形態】以下、本発明の実施の形態について、図を用いて説明する。

【0013】（第 1 の実施の形態）第 1 の実施の形態では、請求項 1 に係る発明について図を用いて説明する。

【0014】図 1 は本発明に基づいて設計された、電極用パッド及び、この電極パッドの配置の一例である。101 は、パッドセル本体であり、保護回路、制御論理が搭載されている。

【0015】領域 109 は検査用の電極領域であり、領域 110 はボンディング用の電極領域である。ここで、

領域110は、ボンディング装置の精度やボンディングワイヤーの物理的な要因から、ボンディングを確実に行なえるようにするために最小の大きさが規定されており、その幅は105となる。また、領域109は、検査装置の精度や、検査用のピン物理的特性から、検査が確実に行なえるように最小の大きさが規定されており、その幅は106となる。

【0016】電極パッド102は前記領域109と領域110を隣接あるいは一部を重ね合わせて配置することにより形成されている。本発明では、電極パッド102の様に凸型になることが一つの特徴である。

【0017】103はボンディング用パッド領域110の中心位置であり、104は性能検査用パッド領域109の中心位置となっている。

【0018】ここで、間隔107は、ボンディング用パッド領域110の中心103と、検査用パッド領域109の中心104の距離の最小幅を示している。この距離は、特性検査の際にプローブ用ピンを置いた後のパッド上にピンのプローブ痕が残っていても、この間隔だけを維持しておけば確実にボンディングを行なえることを保証するための距離で、今回の発明にとって最も重要な距離となる。このように、間隔107を定義することにより、領域109と領域110をそれぞれの中心103と104が間隔107以上の距離を維持したまま重ね合わせ配置したとしても検査とボンディングを確実に実現できることが保証できるので、電極パッドの削減の効果も期待できる。

【0019】図2は、本発明に基づいて設計された電極用パッド及び、この電極用パッドの配置の一例である。図2は、図1においてボンディング用の電極領域の幅105と検査用の電極領域の幅106同一の値の時の状態である。このような状態では、ボンディング用電極領域の中心203と検査用電極領域の中心204には区別がなくなるためボンディング及び、検査を行なう際に、どちらを使うかの選択が可能となり、効率の良い検査、ボンディングが可能となる。

【0020】（第2の実施の形態）第2の実施の形態では、請求項2に係る発明について図を用いて説明する。

【0021】図3は、本発明で実現されるテスト方法の一例を示している。ここで、301は検証のプローブピンであり、これをテスト用電極領域の中心104に接触させ電気的特性検査を実行する。この時検査用プローブピンのピン間隔の精度、検査装置のプローブピン移動に関する精度、検査用プローブピンの電極パッドに対する進入角等の要因により、ピン301の電極パッド102への接触場所は中心位置104からはずれるが、検査用電極領域109が幅106を確保しているので確実に検査を行なうことが可能となっている。

【0022】図4は、本発明で実現される半導体回路装置の組立方法の一例を示している。ここで、401はパ

ッケージの端子であり、402はパッケージと半導体集積回路装置とを接続するリード線である。403は、図3の様に検査用のプローブピンが接触したところに生じるプローブ痕であり、パッドの表面が大きく傷ついている。

【0023】このように、検査とボンディングを同じところで実行した場合には、403のようなプローブ痕がある上にリード線等を接続するような形になるので、接続がうまくいかなくなる。今回の発明では、ボンディングは、ボンディング用電極領域の中心103を用いて実行されるので、接続不良が起こるようなことにはならない。また、ボンディング装置の精度や、リード線幅のような物理的条件から規定される、ボンディング用電極領域の幅105を電極102が確保しているため、接続不良や、隣接する電極用パッドとのショート等が起こることもなく確実な組立を実現できている。今回の図面では、ワイヤーボンディングタイプの説明をしているが、この考え方は、チップサイズパッケージやエリアパッドのような接続方法に対しても十分有効なものとなる。

20 【0024】

【発明の効果】以上説明した様に、本発明では、微細化が進む半導体集積回路装置において、電極パッドを検査用の領域と、ボンディング用の領域に分けて考え、これらの領域の幅と間隔の最小値を、検査装置、ボンディング装置の精度や、プローブ用ピンの加工精度、等の情報に基づいて決定しておき、この最小値を確保するようにこの電極パッドの設計を実現することで、半導体集積回路装置の検査と組立を確実に行なえるとともに、面積の最適化も実現できる。

30 【図面の簡単な説明】

【図1】本発明の第1の実施の形態における電極用パッドの配置例を示す図

【図2】本発明の第1の実施の形態における電極用パッドの配置例を示す図

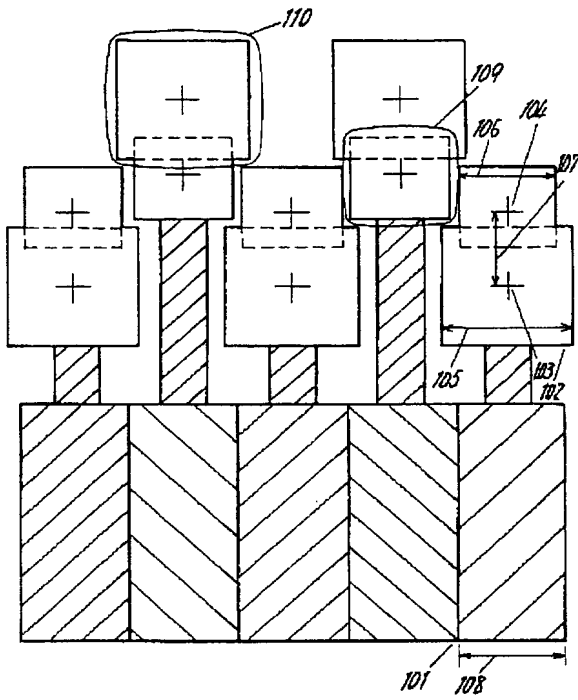
【図3】本発明の第2の実施の形態における半導体集積回路装置の検査方法の一例を示す図

【図4】本発明の第2の実施の形態における半導体集積回路装置の組立方法の一例を示す図

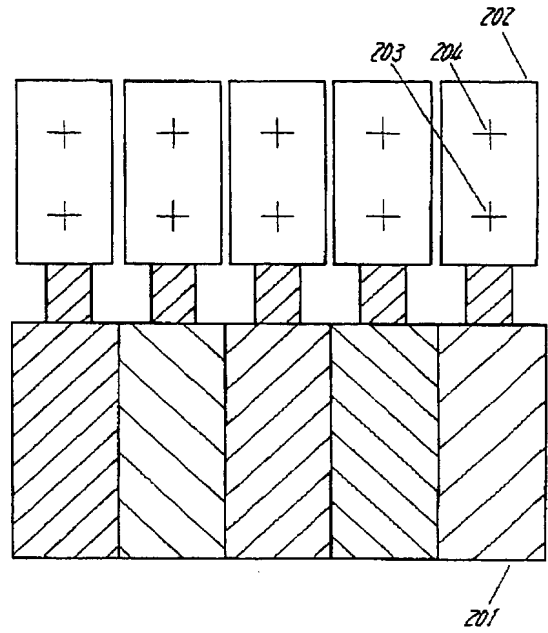
【符号の説明】

- 40 101 パッドセル  
102 電極パッド  
103 ボンディング用電極領域の中心位置  
104 検査用電極領域の中心位置  
105 ボンディング用電極領域の最小幅  
106 検査用電極領域の最小幅  
107 ボンディング用電極領域の中心位置と検査用電極領域の中心位置の最小間隔  
108 パッドセル幅  
109 検査用電極領域  
50 110 ボンディング用電極領域

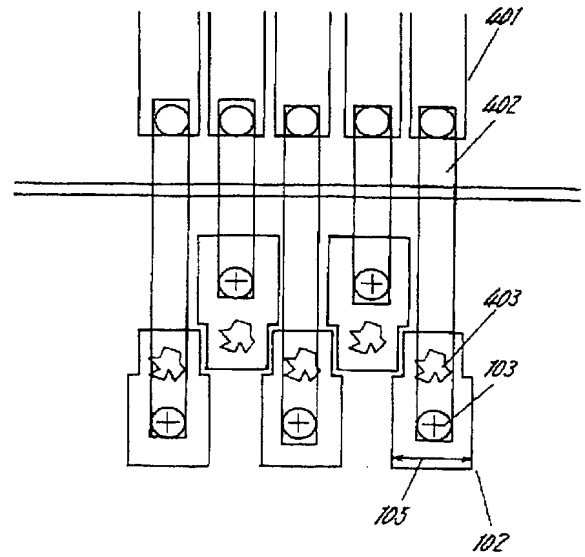
【図 1】



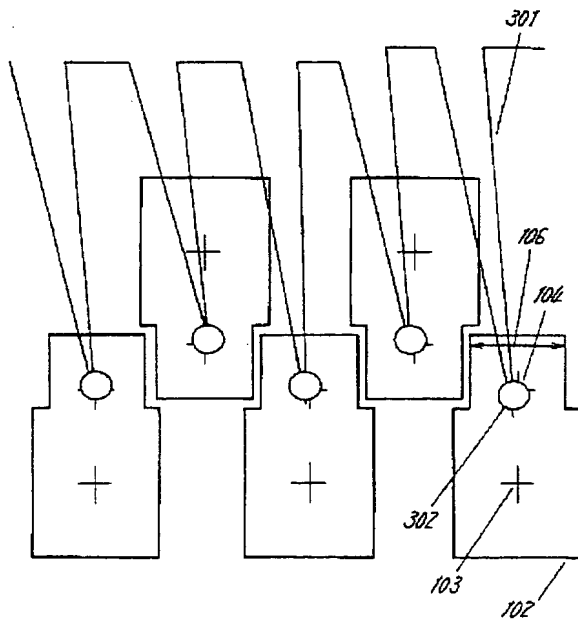
【図 2】



【図 4】



【図 3】



フロントページの続き

(72)発明者 石井 英雄

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

Fターム(参考) 2G032 AB01 AD08 AF01 AK04

4M106 AD01 AD24 BA01

5F044 EE01 EE03 EE07 EE11 QQ06

THIS PAGE BLANK (USPTO)